

TEMA 4: TECNOLOGÍAS DE CIRCUITOS DIGITALES INTEGRADOS. FAMILIAS BIPOLARES

CONTENIDOS DEL TEMA 4

1. Introducción
2. Lógica TTL. Puerta básica NAND
3. Parámetros característicos
4. Tipos de salida en TTL
 - 4.1 salida totem-pole
 - 4.2 salida en colector abierto
 - 4.3 salida triestado
5. Otras puertas TTL
6. Subfamilias TTL

BIBLIOGRAFÍA DEL TEMA 4

•TEORÍA

- "Principios y Aplicaciones Digitales". Malvino. Ed. Marcombo. 1988. Capítulos 6 y 7.
- "Circuitos Electrónicos" Vol.4 (Digitales II). Merino. E.T.S.I.T. Madrid. Capítulos 5 y 7.
- "Diseño Electrónico". Savant. Ed. Addison-Wesley. 1992. Capítulo 15.
- "Digital Design". Wakerly. Ed. Prentice-Hall. 1994. Capítulo 3.

•PROBLEMAS

- "Problemas resueltos de Electrónica". Benlloch y otros. U.P.Valencia. Capítulo 11.
- "Sistemas Digitales. Problemas". Pedro López y J.M. Martínez. U.P.Valencia. Capítulo 2.

1. INTRODUCCIÓN

ESCALAS DE INTEGRACIÓN EN C.I DIGITALES:

SSI (Small Scale Integration): hasta 10 puertas
puertas, biestables

MSI (Medium Scale Integration): 10 a 100 puertas
codificadores, multiplexores, sumadores, contadores, registros, ...

LSI (Large Scale Integration): 100 a 1000 puertas

VLSI (Very Large Scale Integration): más de 1000 puertas
memorias y procesadores

1. INTRODUCCIÓN(2)

FAMILIA LÓGICA:

- Conjunto de elementos funcionales (puertas, biestables, decodificadores, contadores, ...) con el mismo circuito base y tecnología de fabricación.
- Compatibilidad eléctrica, interconexión directa.

FAMILIAS LÓGICAS PRINCIPALES:

Bipolares:

- Lógica transistor-transistor (TTL, LSTTL, STTL)
- Lógica de emisor acoplado (ECL)

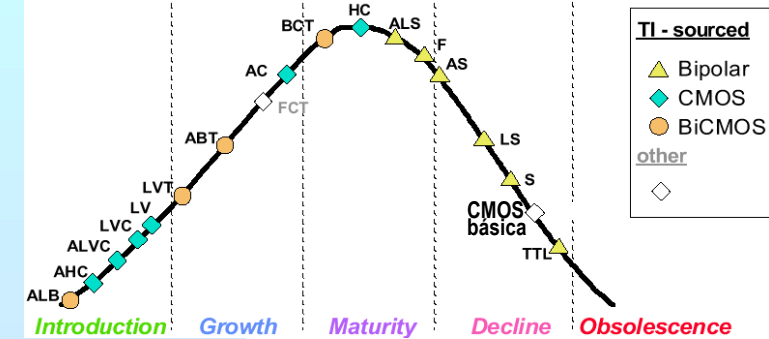
MOS:

- PMOS, NMOS
- CMOS

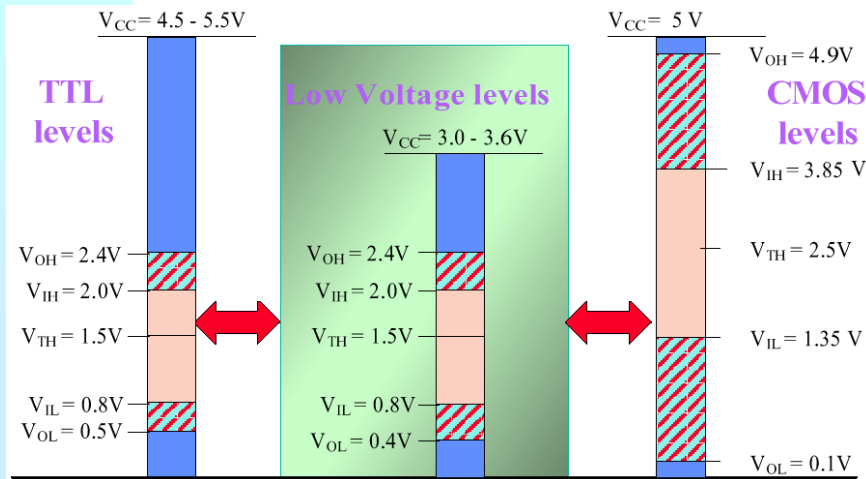
BiCMOS (Bipolar- CMOS)

Familias lógicas: Estado actual

Product Life Cycle

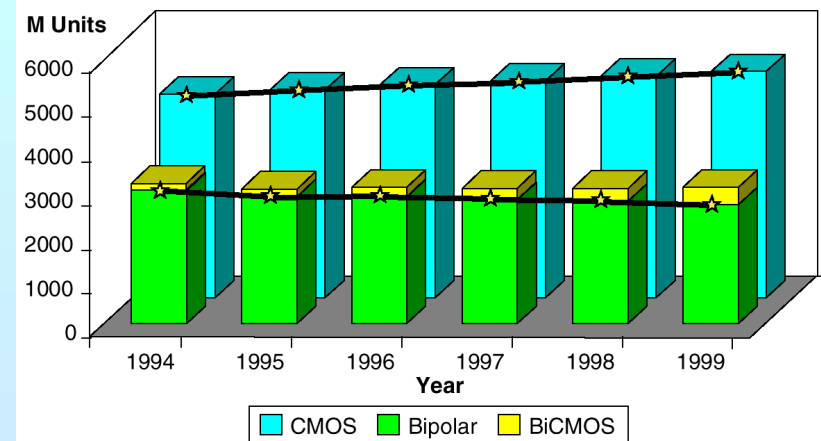


Niveles de tensión en familias lógicas. Gráfico comparativo



Evolución del mercado. (Millones de unidades vendidas por año)

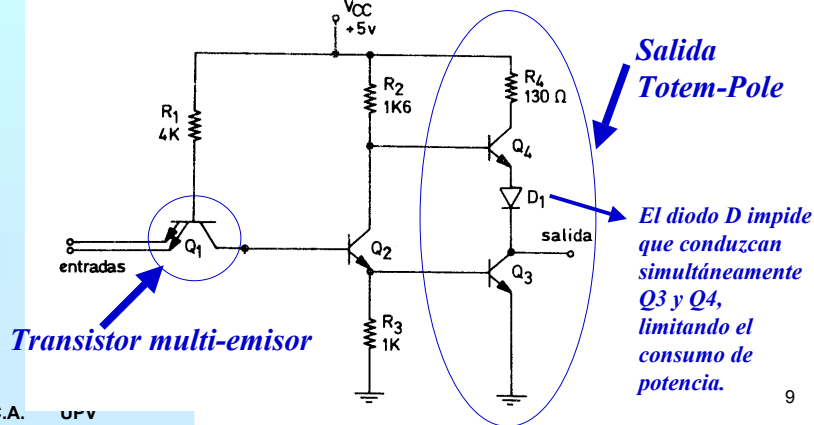
Fuente: Texas Instruments



2. Lógica TTL

• Puerta básica TTL. Función lógica NAND

(Baja impedancia de salida en los dos estados lógicos: velocidad de conmutación alta).



D.I.S.C.A. UPV

9

2. Lógica TTL (2)

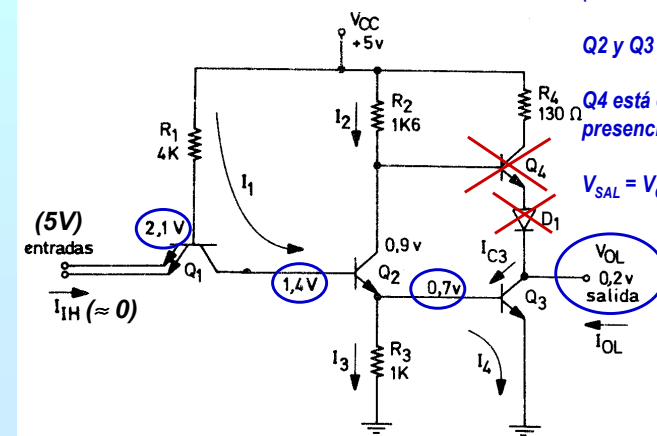
CASO 1: Salida a nivel bajo:

Q1 funciona en activa inversa (Unión B-C:ON, B-E:OFF)

Q2 y Q3 funcionan en saturación

Q4 está cortado, debido a la presencia de D1

$$V_{SAL} = V_{CE(sat)} = 0.2V = V_{OL}$$



D.I.S.C.A. UPV

10

2. Lógica TTL (3)

CASO 2: Salida a nivel alto:

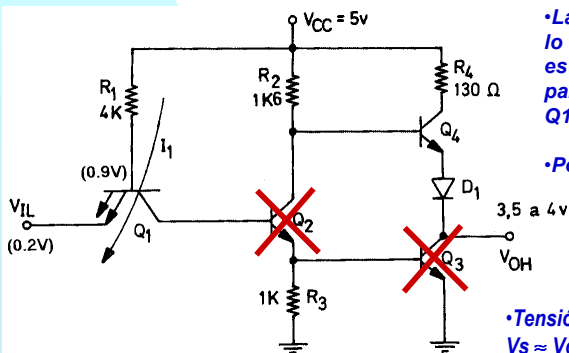
•Al menos una entrada está a nivel bajo.

•La unión B-E de Q1 conduce, por lo que la tensión de base de Q1 es de $0.2 + 0.7 = 0.9V$, insuficiente para que Q2, Q3 y el diodo B-C de Q1 conduzcan.

•Por tanto, Q2 y Q3 cortados.

•Tensión de salida Vs aproximada:
 $V_s \approx V_{CC} - V_{BEQ4} - V_{D1} = 5 - 1.4 = 3.6V$

(Q4 próximo a la saturación)



D.I.S.C.A. UPV

11

3. Parámetros característicos(1)

• Margen de temperatura

- serie comercial (74xx): de 0 a 70°C
- serie militar (54xx): de -55 a 125°C

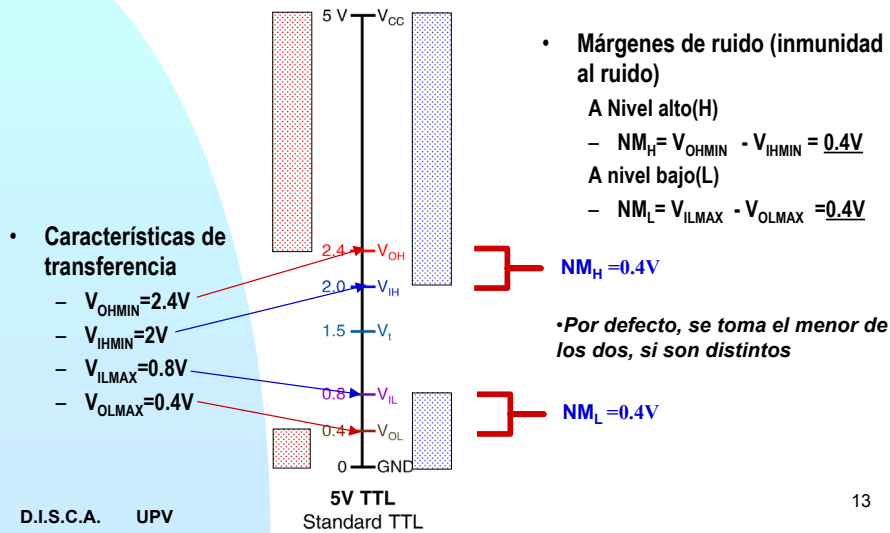
• Tensión de alimentación

- 74xx: 4.75V - 5.25V ($5 \pm 5\%$)
- 54xx: 4.5V - 5.5V ($5 \pm 10\%$)

D.I.S.C.A. UPV

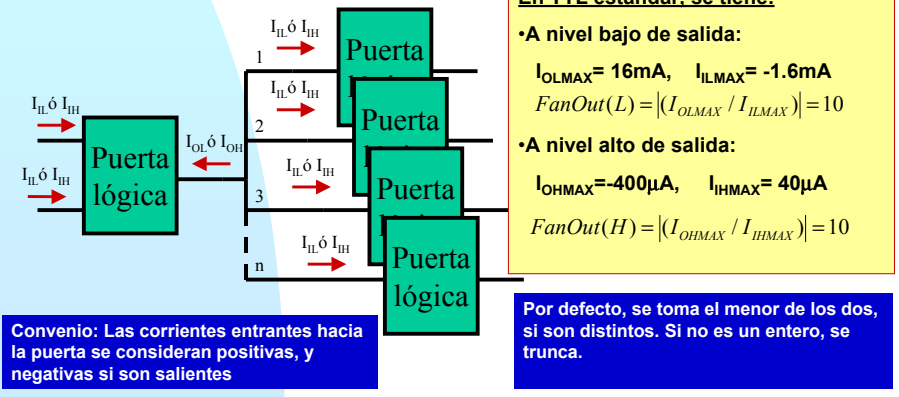
12

3. Parámetros característicos(2)



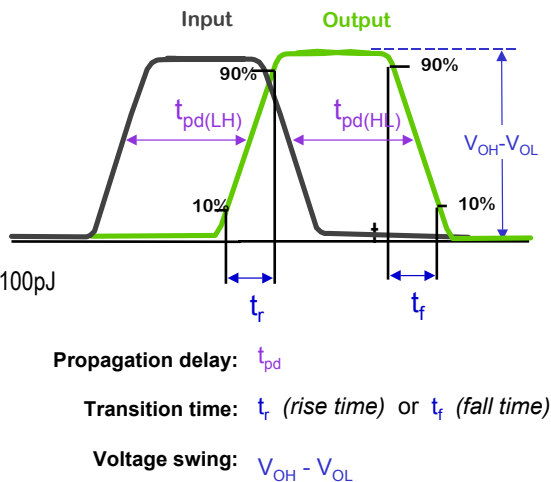
3. Parámetros característicos(3)

- **FAN-OUT:** Número máximo de cargas (entradas de puertas) que pueden ser conectadas a la salida de una puerta sin que se desvirtúen los márgenes lógicos.



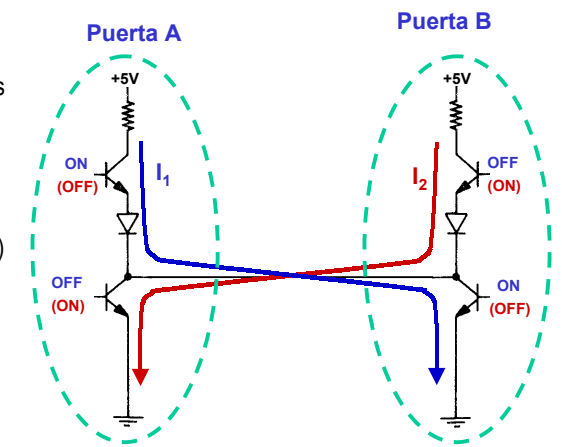
3. Parámetros característicos(4)

- **Tiempo de retardo**
 $t_{pd} = (t_{pdLH} + t_{pdHL}) / 2 \approx 10ns$
- **Disipación de potencia**
Aproximadamente 10mW por puerta TTL.
- **Factor de mérito:**
Producto (Potencia x Retardo) $\approx 100pJ$



4. Tipos de salida en TTL(1)

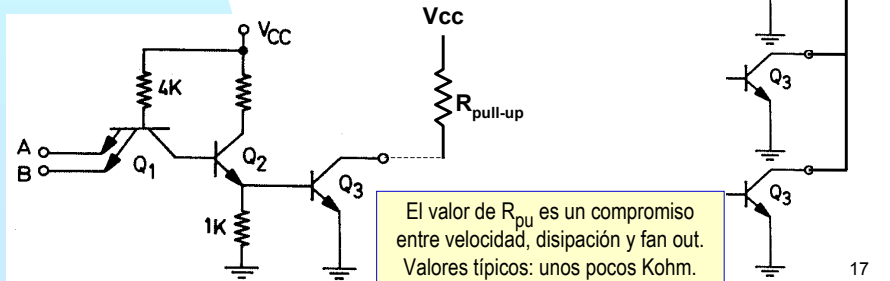
- **Salida Totem Pole**
 - No permite la conexión directa de las salidas de dos puertas diferentes
 - Cuando las dos salidas tienen niveles lógicos distintos, se establecen caminos de corriente (I_1 ó I_2) elevada (unos 30mA), que superan ampliamente la I_{OLMAX} (16mA) y que pueden dañar los transistores.



4. Tipos de salida en TTL(2)

• Salida en colector abierto

- Permite el cableado lógico directo, eliminando Q4 y D (AND cableada).
- Se requiere una resistencia externa, denominada de "Pull-up", para obtener el nivel alto.

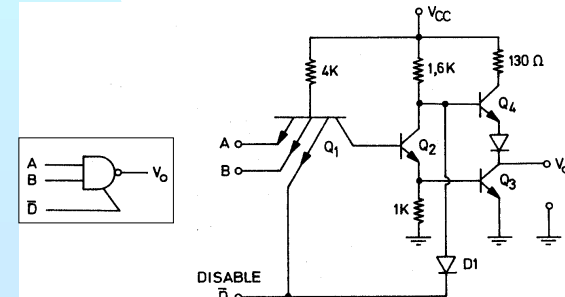


17

4. Tipos de salida en TTL(3)

• Salida Tri-estado (tri-state)(1).

- Permite la conexión directa de las salidas, y es tan rápida como la salida totem-pole.
- A la salida hay tres estados lógicos: '0', '1', y alta impedancia (H.Z ó Z*).
- La alta impedancia se consigue cortando simultáneamente a Q3 y Q4, mediante una entrada especial, denominada enable(E) ó disable (/D).

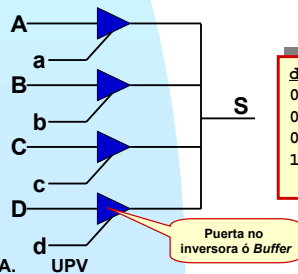


18

4. Tipos de salida en TTL(y 4)

• Salida Tri-estado (y 2)

- Esta salida permite la conexión directa de varias salidas entre sí, en configuración de bus, activando sólo una de las puertas e inhabilitando las restantes.
- Varios dispositivos pueden acceder a un bus bidireccional en un sistema computador. Sólo la información de un dispositivo debe aparecer en la salida, mediante la correcta selección del chip (Chip Select)

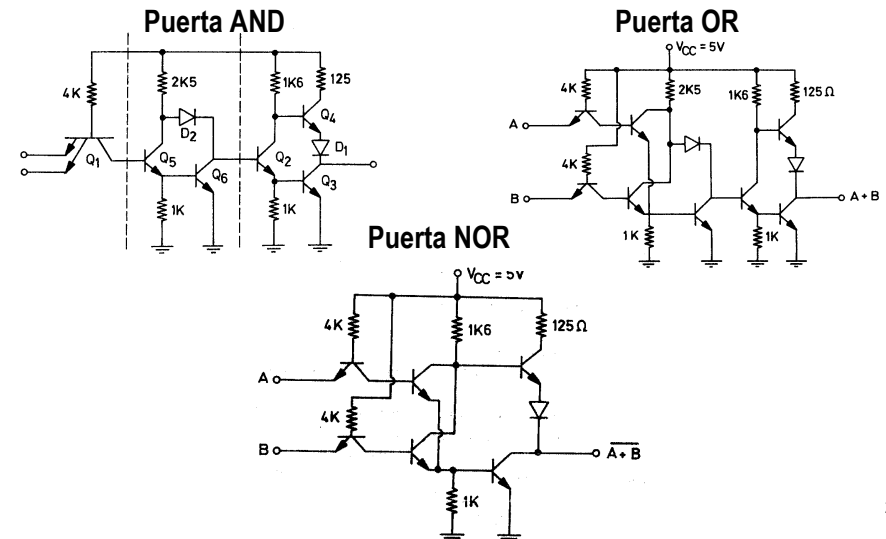


d	c	b	a	S	Funcionamiento
0	0	0	1	A	Buffers B,C y D desconectados
0	0	1	0	B	Buffers A,C y D desconectados
0	1	0	0	C	Buffers A,B y D desconectados
1	0	0	0	D	Buffers A,B y C desconectados

D.I.S.C.A. UPV

19

5. Otras puertas TTL

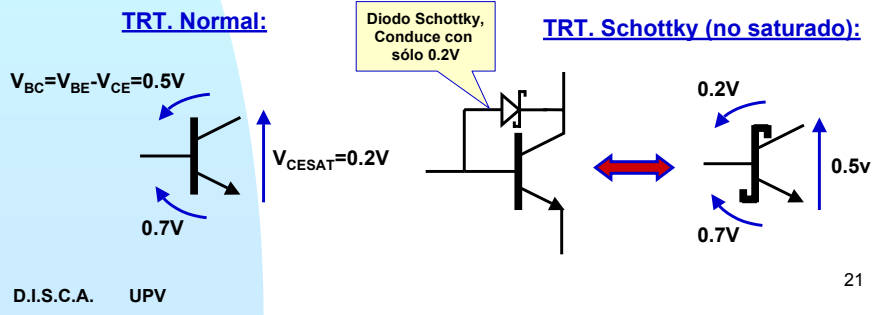


20

6. Subfamilias TTL(1)

- Subfamilias no saturadas.

- Emplean transistores Schottky, que no se saturan en el estado bajo, debido a una unión Schottky entre colector y base del transistor.

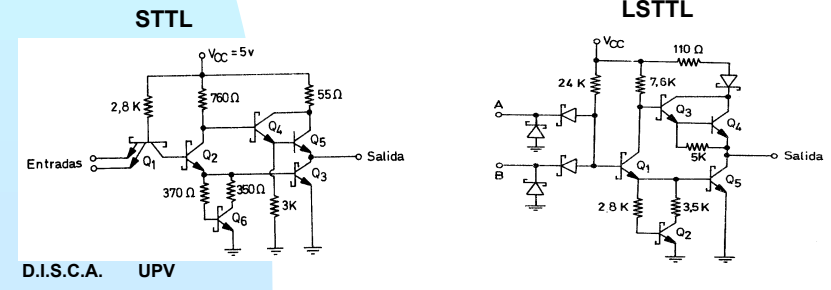


21

6. Subfamilias TTL(2)

- Subfamilias con transistores Schottky:

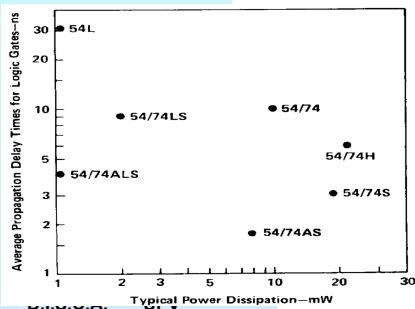
- STTL: Schottky TTL
- LSTTL: Low Power Schottky TTL
- ASTTL: Advanced Schottky TTL
- ALSTTL: Advanced Low Power Schottky TTL (La más utilizada en diseños actuales)



22

6. Subfamilias TTL(3)

Retardo de propagación vs. Disipación de potencia en las subfamilias TTL.



Evolución comparativa de las familias lógicas. De las bipolares, la ALS es la más empleada en diseños actuales.

