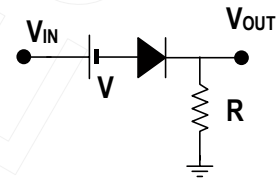


TIPO	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
A	C	C	B	B	C	B	A	D	B	D	C	D	D	B	B	D	C
B Cast	A	D	A	C	A	B	B	B	C	A	D	D	D	D	B	D	D
B Val	A	B	C	C	A	C	A	A	C	B	D	D	A	C	C	D	C

1. En el circuito con diodos de la figura y suponiendo la aproximación de diodo ideal, podemos afirmar que:

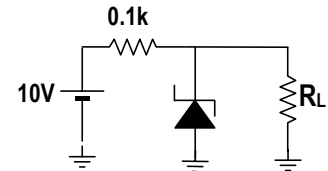
- [A] Si la entrada es positiva, el diodo conduce.
- [B] Si la entrada es mayor que V, el diodo conduce y la salida $V_{OUT} = V_{IN}$.
- [C] Si la entrada es menor que V, la salida es 0V.
- [D] Ninguna de las anteriores.



Si la entrada es menor que V, el diodo no conduce, pues en el ánodo hay $V_{IN} - V < 0V$, y en cátodo 0V. Si el diodo no conduce, la salida es 0V, debido a la resistencia R, que conecta V_{OUT} con masa sin pasar corriente a través de ella.

2. A partir del regulador con zener de la figura, calcular la mínima resistencia R_L que mantiene la regulación. Datos del zener: $V_Z = 5V$, $I_{Z_{min}} = 10mA$, $I_{Z_{max}} = 30mA$.

- [A] $R_L = 100\Omega$
- [B] $R_L = 167\Omega$
- [C] $R_L = 125\Omega$
- [D] $R_L = 250\Omega$



Para calcular la mínima resistencia R_L , debemos conocer la máxima corriente que puede pasar por ella. Primero obtendremos la corriente que viene de la fuente a través de la resistencia de 0.1k:

$$I_1 = \frac{10V - 5V}{0.1k\Omega} = 50mA, \text{ y como por el zener debe pasar como mínimo } 10mA, \text{ entonces quedan } 40mA \text{ para la } R_L:$$

$$R_L = \frac{5V}{40mA} = 125\Omega$$

3. En el circuito con transistor BJT de la figura, ¿Cuál es la mínima resistencia R_C para que el transistor esté saturado?

- [A] $R_C = 472\Omega$
- [B] $R_C = 549\Omega$
- [C] $R_C = 558\Omega$
- [D] Ninguna de los anteriores.

Calculamos la I_B :

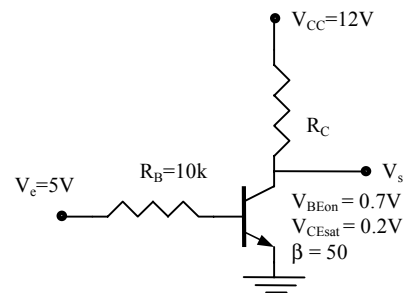
$$5V - I_B R_B - V_{BEon} = 0; \quad I_B = \frac{5V - 0.7V}{10k\Omega} = 0.43mA$$

Con esta corriente de base, la corriente de colector en A.D. es:

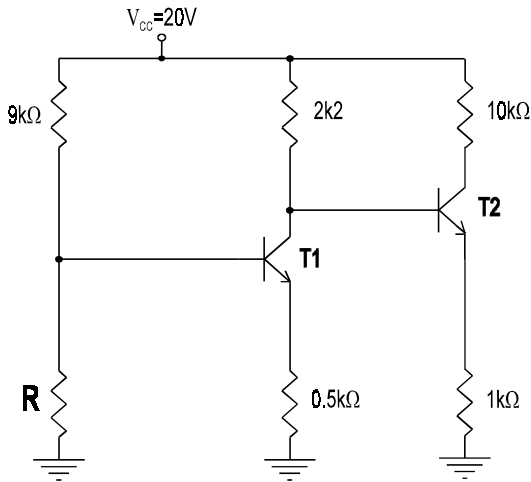
$$I_C = \beta \times I_B = 50 \times 0.43mA = 21.5mA$$

En función del valor de R_C , el transistor puede estar en A.D. o Saturación. Si R_C aumenta, el transistor se satura. Por tanto, la mínima resistencia que satura al transistor, lo pone en el límite entre A.D. y saturación. Es decir, se cumple $V_{CE} = 0.2$ y $I_C = \beta \times I_B$. Por tanto, la I_C es la que hemos obtenido.

$$12V - I_C R_C - V_{CEsat} = 0; \quad R_C = \frac{12V - 0.2V}{21.5mA} = 549\Omega$$



4. En el circuito de la figura, el valor aproximado de R que hace entrar al transistor T2 en saturación es:



Datos transistor:
 $V_{BE(on)} = 0.7V$
 $V_{CE(sat)} = 0.2V$
 $\beta = 200$
 considerar las corrientes de base despreciables

- [A] 5kΩ
- [B] 2.75kΩ
- [C] 1kΩ
- [D] 560Ω

$$I_C = I_{C2sat} = \frac{V_{CC} - V_{CEsat}}{R_{C2} + R_{E2}} = \frac{20V - 0.2V}{10k\Omega + 1k\Omega} = 1.8mA$$

$$V_{E2} = I_{C2sat} R_{E2} = 1.8mA \times 1k\Omega = 1.8V$$

$$V_{C1} = V_{E2} + V_{BE(on)T2} = 1.8V + 0.7V = 2.5V$$

$$I_{C1} = \frac{V_{CC} - V_{C1}}{R_{C1}} = \frac{20V - 2.5V}{2.2k\Omega} = 7.95mA$$

$$V_{E1} = I_{C1} R_{E1} = 7.95mA \times 0.5k\Omega = 3.98V$$

$$V_{B1} = V_{E1} + V_{BE(on)T1} = 3.98V + 0.7V = 4.68V$$

De la expresión del divisor resistivo de la base de T1:

$$V_{B1} = \frac{V_{CC} R}{9k\Omega + R} \quad \rightarrow \quad 4.68V = \frac{20V \times R}{9k\Omega + R} \quad \rightarrow \quad R = 2.75k\Omega$$

5. Se quiere conectar la salida de un chip LSTTL con la entrada de un chip CMOS alimentado a +12V. Teniendo en cuenta los valores de tensión y corriente que se indican en la tabla adjunta, señalar la afirmación correcta:

TTL LS ($V_{cc} = +5V$)		CMOS ($V_{DD} = +12V$)	
$V_{OLmax} = 0.5 V$	$V_{OHmin} = 2.7 V$	$V_{ILmax} = 3 V$	$V_{IHmin} = 9 V$
$I_{OLmax} = 8 mA$	$I_{OHmax} = -0.4 mA$	$I_{ILmax} = -0.05 \mu A$	$I_{IHmax} = 0.05 \mu A$

- [A] La conexión puede efectuarse directamente, sin ningún componente adicional.
- [B] Es necesario intercalar una resistencia de pull-up conectada a +12V para compatibilizar los "1".
- [C] Es necesario intercalar un buffer TTL con salida en colector abierto y una resistencia de pull-up conectada a +12V.
- [D] Ninguna de las anteriores.

6. En relación a la familia lógica CMOS, indicar cuál de las siguientes afirmaciones es correcta:

- [A] La inmunidad al ruido es peor que la de la familia TTL, y corresponde al 5% de V_{DD} (tensión de alimentación).
- [B] El fan-out está limitado a 50 entradas CMOS, debido al incremento de los retardos de conmutación.
- [C] El consumo dinámico aumenta cuadráticamente con la frecuencia.
- [D] Los chips 74CXXX presentan compatibilidad eléctrica con la familia TTL.

7. Acerca de la puerta de transmisión, señale la afirmación FALSA

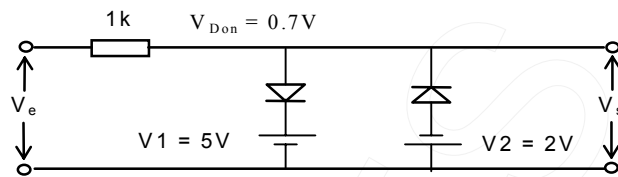
- [A] El terminal de fuente (source) es aquél que está conectado al sustrato.
- [B] Se pueden transmitir tanto tensiones digitales como analógicas.
- [C] El nivel lógico 0 se transmite sin degradación en las de tipo NMOS.
- [D] Tanto los niveles lógicos 0 como 1 se transmiten sin degradación en las de tipo CMOS.

En las puertas de transmisión el terminal de sustrato está flotante, porque el terminal de fuente varía en función de la señal a transmitir.

Cuestiones de PRÁCTICAS (2.5 PUNTOS). Puntuación: BIEN +0.25, MAL -0.05, N.C 0

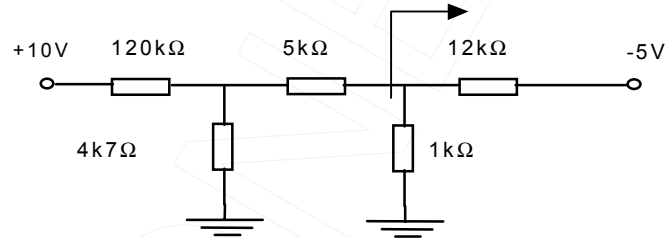
8. Para comprender el funcionamiento del circuito con diodos de la figura se realiza su montaje experimental, haciendo uso de la fuente de alimentación y el osciloscopio del laboratorio. Se puede afirmar que:

- [A] para tensiones de entrada mayores de 5V, la tensión de salida viene fijada por V2.
- [B] para tensiones de entrada menores de -2V, la tensión de salida viene fijada por V1.
- [C] el terminal negativo de la fuente V2 debe estar unido al terminal negativo de V1, para permitir que hayan tensiones positivas y negativas en el circuito.
- [D] se debe seleccionar el modo XY del osciloscopio para obtener la curva de transferencia V_s/V_e del circuito.



9. Aplicando el teorema de Thevenin, tal y como se indica en la figura, podemos afirmar que:

- [A] $V_{TH} = -5V$
- [B] $V_{TH} = -5/13V$
- [C] $R_{TH} = 13K$
- [D] Ninguna de las anteriores.

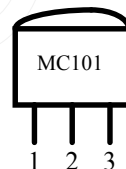


$$V_{TH} = \frac{-5V}{(12k\Omega + 1k\Omega)} 1k\Omega = -5/13V$$

$$R_{TH} = 12k \parallel 1k$$

10. Se quiere identificar los terminales y el tipo de un transistor BJT mediante el uso de un multímetro. Se miden las siguientes resistencias: entre la patilla 2 y la 1 hay $2.78M\Omega$, y entre la 2 y la 3 hay $2.83M\Omega$. En ambas mediciones se ha conectado el terminal positivo (rojo) del multímetro a la patilla 2. ¿Que respuesta es correcta?

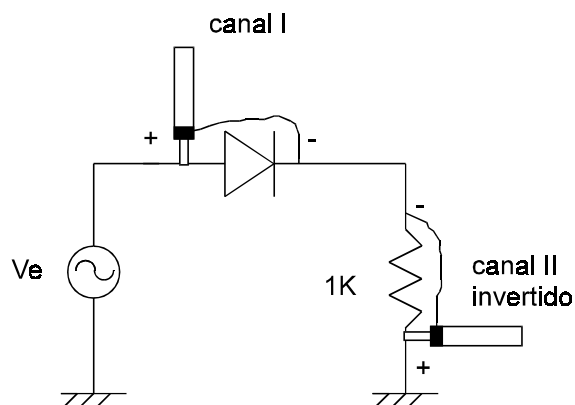
- [A] Tipo PNP. Terminales: 1 Emisor, 2 Base, 3 Colector.
- [B] Tipo NPN. Terminales: 1 Emisor, 2 Base, 3 Colector.
- [C] Tipo PNP. Terminales: 1 Colector, 2 Base, 3 Emisor.
- [D] Tipo NPN. Terminales: 1 Colector, 2 Base, 3 Emisor.



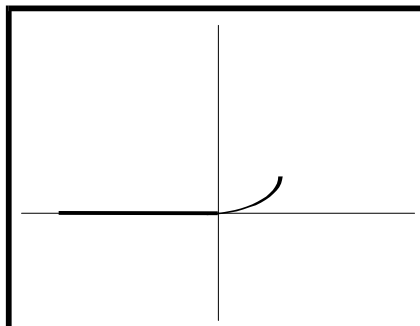
11. En el montaje del circuito "amplificador con transistor BJT" de la práctica 3, cual de las siguientes respuestas es **FALSA**.

- [A] La ganancia de tensión es mayor con el condensador de emisor.
- [B] Es necesario utilizar un condensador en la V_e .
- [C] La tensión en la base es una señal sinusoidal centrada en cero.
- [D] El divisor resistivo de la entrada es necesario para evitar el corte y la saturación.

12. En el montaje de la figura adjunta para obtener la curva del diodo, puede suceder que aparezca la curva exponencial incompleta (ver pantalla de la derecha):



Pantalla del osciloscopio, modo X-Y:



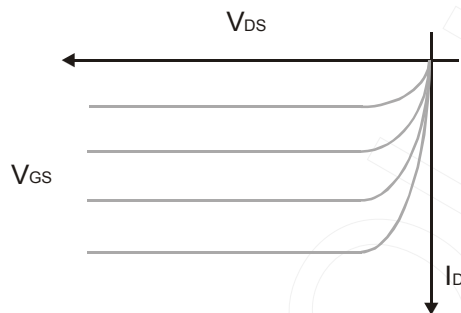
Para solucionar el problema y conseguir la curva completa, es necesario:

- [A] Amplificar la representación de la señal con los mandos de amplificación vertical (VOLTS/DIV) de los 2 canales del osciloscopio.
- [B] Modificar el origen de coordenadas en la pantalla del osciloscopio mediante los mandos de desplazamiento vertical (POSITION) de los 2 canales.
- [C] Invertir la posición del ánodo y el cátodo del diodo en el circuito-montaje.
- [D] Ajustar los mandos DC OFFSET y de AMPLITUDE del generador de señal para conseguir una onda de entrada simétrica de suficiente amplitud.

13. Al respecto de la instrumentación electrónica del laboratorio se puede afirmar que:

- [A] La fuente de alimentación proporciona señales continuas y/o alternas.
- [B] El terminal I_{LIMIT} de la fuente de alimentación permite ajustar la tensión de cortocircuito.
- [C] Es recomendable utilizar las llamadas "sondas" como cables de conexión en los generadores de señal.
- [D] Los generadores de señal permiten ajustar, en la mayoría de los casos, la forma de la onda, su amplitud, su frecuencia y su nivel de continua.

14. A partir de las curvas características y la instrucción del simulador Pspice, indicar la tensión umbral del mosfet.



```
.DC VDS 0 -10 -0.2 VGS 0 -4 -0.4
```

- [A] 3,8V.
- [B] -2,4V.
- [C] -1,6V.
- [D] 1,5V.

La V_{GS} varía de 0 a -4 en incrementos de -0.4V. La curva inferior corresponde a $V_{GS} = -4V$, la siguiente a $V_{GS} = -3.6V$, y así hasta llegar al eje, donde tenemos $V_{GS} \leq -2.4V$, que corresponde con V_T .

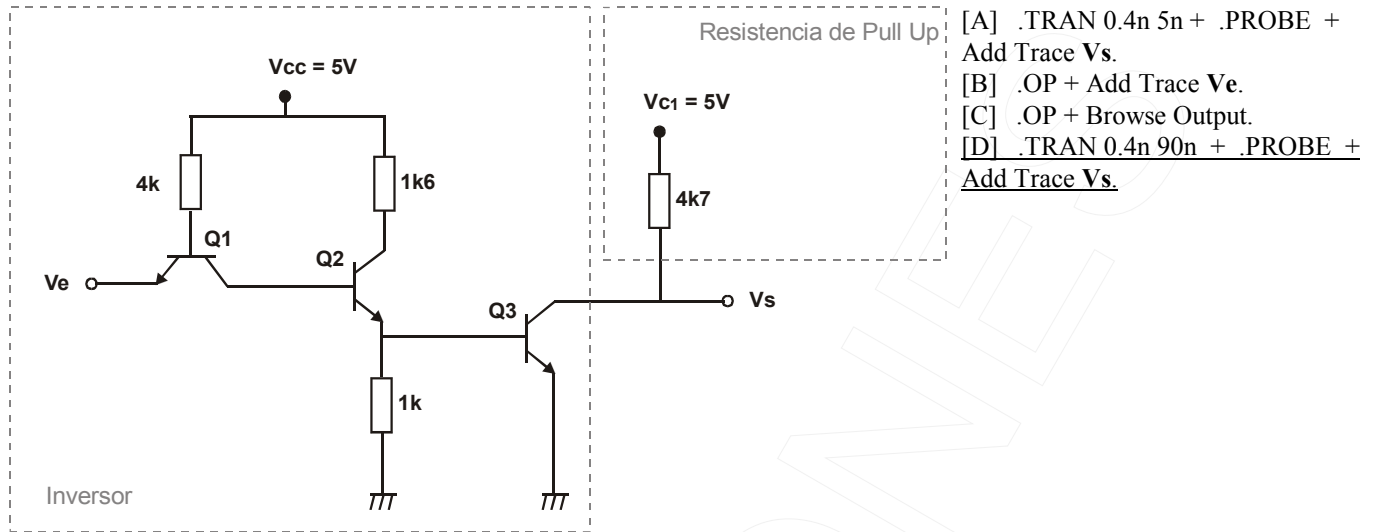
15. ¿Qué tipo de Mosfet es el de la cuestión anterior?

- [A] De acumulación canal N.
- [B] De acumulación canal P.
- [C] De deplexión canal P.
- [D] De deplexión canal N.

Porque conduce para $V_{GS} < -V_T$

16. Dado el siguiente inversor TTL con salida en colector abierto.

¿Qué enunciados de control y qué opción del PSPICE se habrían de utilizar para obtener la respuesta en el tiempo ante una entrada del tipo $V_e = \text{PULSE}(0.2 \ 3.8 \ 15n \ 2n \ 25n)$?



17. Dado el siguiente código fuente del PSPICE correspondiente al circuito de la cuestión anterior.

```
Vcc 1 0 DC 5
Vc1 8 0 DC 5
Ve 4 0 DC 5
R1 1 2 4k
R2 1 3 1.6k
R3 6 0 1k
R4 8 7 4.7k
Q1 5 2 4 BJT
Q2 3 5 6 BJT
Q3 7 6 0 BJT
.MODEL BJT NPN (BF = 100 BR = 0.1 VJE =
0.7V)
.OP
.END
```

¿Qué tensión habrá en el nodo 5?

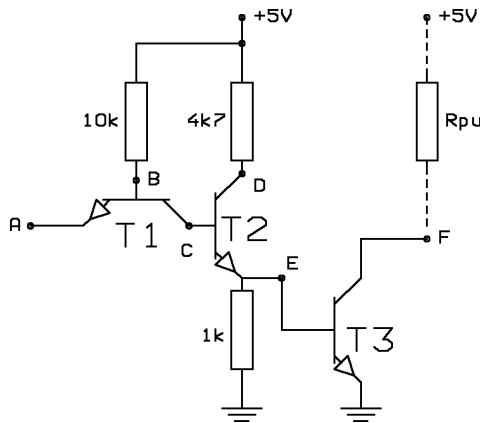
- [A] 0,7V.
- [B] -3,6V.
- [C] 1,4V.
- [D] 4,5V.

El nodo 5 corresponde a la base del transistor Q_2 . Como se trata de un inversor, y entra un "1", entonces la salida es "0", por lo que Q_2 y Q_3 están conduciendo y saturados. Entonces $V_5 = V_{BE(on)Q2} + V_{BE(on)Q3} = 0.7V + 0.7V = 1.4V$. La tensión V_{BE} la obtenemos en la sentencia `.MODELVJE=0.7V`

Problema 1 (2 Puntos) Apellidos: _____ Nombre: _____

(Incluya los cálculos realizados en la parte trasera de esta hoja ó en hojas adjuntas)

El circuito de la figura corresponde a una puerta lógica inversora de una familia similar a la TTL, con salida en colector abierto, por lo que es necesaria una resistencia de pull-up (R_{pu}) para su funcionamiento.



DATOS TRANSISTORES:

$V_{BE(ON)} = 0.7V$
 $V_{CE(SAT)} = 0.2V$
 $\beta = 50$

- a) (0.8 puntos) Suponiendo que los transistores T2 y T3 del circuito se encuentran trabajando en corte ó en saturación, calcula y rellena la tabla siguiente con el valor de las tensiones en los puntos B,C,D,E y F del circuito, si a la entrada A se conecta la salida de una puerta idéntica a ella a nivel alto (5V) y a nivel bajo(0.2V).

(Los cálculos son mínimos, a partir de la hipótesis de que no es necesario demostrar el estado de los transistores)

V_A	V_B	V_C	V_D	V_E	V_F	T1	T2	T3
5V	2.1	1.4	0.9	0.7	0.2	Act.Inv.	SAT	SAT
0.2V	0.9	0.4	5	0.0	5	SAT	CORTE	CORTE

- b) b1) (0.4 puntos) Calcule, cuando $V_A = 5V$, el valor de la corriente de base del transistor T_3 (I_{B3}), así como la potencia consumida por la puerta en este estado (No incluir la corriente I_{C3}).

Cuando $V_A = 5V$, y a partir de los datos calculados en la tabla anterior, podemos calcular todas las corrientes de los transistores:

$$I_{B2} = I_{B1} = (5V - 2.1V) / 10k\Omega = 0.29mA$$

$$I_{C2} = (5V - 0.9V) / 4k\Omega = 0.872mA \text{ (lo cual confirma que T2 está saturado, ya que } \beta \times I_{B2} \gg I_{C2} \text{)}$$

$$I_{E2} = I_{B2} + I_{C2} = 0.29 + 0.872 = 1.162mA$$

Por tanto, la I_{B3} será igual a la I_{E2} menos la que circula por la resistencia de $1k\Omega$:

$$I_{B3} = I_{E2} - V_E / 1k\Omega = 1.162mA - 0.7V / 1k\Omega = \mathbf{0.462mA}$$

y la potencia disipada por la puerta será:

$$P_L = 5V \times (I_{B1} + I_{C2}) = 5V \times (I_{E2}) = 5V \times 1.162mA = \mathbf{5.81mW}$$

I_{B3} :	0.462mA
P_L :	5.81mW

b2) (0.2 puntos) De acuerdo con este valor de corriente I_{B3} calculado, ¿Cuál será el mínimo valor de R_{pu} por debajo del cual T_3 dejaría de estar saturado?

La saturación de T_3 se mantendrá mientras se cumpla que $\beta \times I_{B3} > I_{C3}$ por lo que la condición límite será la igualdad de los términos anteriores, es decir, cuando $I_{C3} = 50 \times 0.462\text{mA} = 23.1\text{mA}$. La resistencia de colector que provoque esta situación límite será:

$$R_{pu\text{MIN}} = (5\text{V} - 0.2\text{V}) / 23.1\text{mA} = \mathbf{0.208\text{k}\Omega}.$$

$R_{pu\text{MIN}}$:	0.208kΩ
----------------------	----------------------------------

c) (0.6 puntos) Supongamos que la salida de esta puerta se conecta a 10 entradas de puertas idénticas a ella. A la vista de los parámetros de corrientes y tensiones de esta familia lógica que nos da la tabla siguiente, calcula los límites entre los que puede variar el valor de R_{pu} .

$I_{IL} = -0.5\text{mA}$	$I_{OL} = 15\text{mA}$	$V_{OL} = 0.3\text{V}$
$I_{IH} = 40\mu\text{A}$	$I_{OH} = 0.25\text{mA}$	$V_{OH} = 3.5\text{V}$

A partir de los datos de la tabla anterior, se tendrá, directamente:

$$R_{pu\text{MAX}} = (5\text{V} - V_{OH}) / (I_{OH} + 10 \times I_{IH}) = (5 - 3.5) / (0.25 + 0.4) = 1.5\text{V} / 0.65\text{mA} = \mathbf{2.31\text{k}\Omega}$$

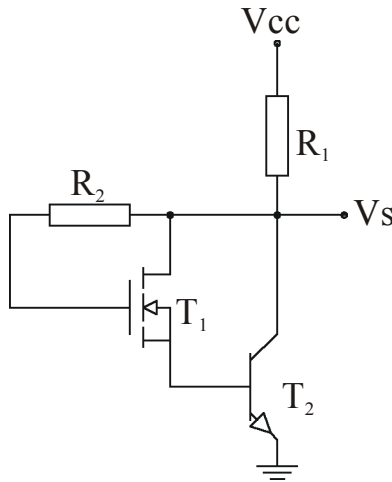
$$R_{pu\text{MIN}} = (5\text{V} - V_{OL}) / (I_{OL} + 10 \times I_{IL}) = (5 - 0.3) / (15 - 5) = 4.7\text{V} / 10\text{mA} = \mathbf{0.47\text{ k}\Omega}$$

$R_{pu\text{MAX}}$:	2.31kΩ
$R_{pu\text{MIN}}$:	0.47 kΩ

Problema 2 (2 Puntos) Apellidos: _____ Nombre: _____

(Incluya los cálculos realizados en la parte trasera de esta hoja ó en hojas adjuntas)

Dado el circuito de la figura:



Datos

$V_{cc}=10\text{ V}$

$R_1=100\ \Omega$

$R_2=100\text{ M}\Omega$

Transistor Bipolar T_1

$V_{BE(on)}=0,7\text{ V}$

$V_{CE(sat)}=0,2\text{ V}$

$\beta=39$

Transistor MOSFET T_2

$V_T=3,3\text{ V}$

$K=0,25\text{ mA/V}^2$

a) (1 punto) Calcular la tensión de salida V_S

a. Inicialmente suponemos que el transistor T_1 conduce, de este modo, como $V_{DS}=V_{GS}$, el transistor está en estado de saturación:

(1) $V_{DS}=V_{GS} \rightarrow (V_{DS}>V_{GS}-V_T \rightarrow \text{saturación.})$, luego la corriente I_{DS} es:

(2) $I_{DS}=K(V_{GS}-V_T)^2$

b. Por la conexión en cascada de los dos transistores se tiene que:

(3) $V_{DS}=V_{GS}=V_{CE}-0.7$

c. Del transistor T_2 podemos decir que:

(4) $I_{DS}=I_B$

(5) $V_{CC}-I_1 \cdot R_1 - V_{CE}=0$ (recta de carga de T_2), siendo I_1 la corriente que fluye a través de R_1

Si suponemos que el transistor T_2 está en activa directa:

(6) $I_1=I_{DS}+I_C=I_{DS}+\beta I_B=I_{DS}+\beta I_{DS}=(1+\beta)I_{DS}$

Sustituyendo la ecuación 3 en 2:

(7) $I_{DS}=K(V_{CE}-0.7-V_T)^2$

Sustituyendo la ecuación 6 en 5:

(8) $V_{CC}-(1+\beta)I_{DS} \cdot R_1 - V_{CE}=0$

Sustituyendo la ecuación 7 en 8:

(9) $V_{CC}-(1+\beta) K(V_{CE}-0.7-V_T)^2 R_1 - V_{CE}=0$

$10-(1+39)0.25(V_{CE}-4)^2 \cdot 0.1 - V_{CE}=0$

$10-(V_{CE}^2+16-8V_{CE})-V_{CE}=0$

$-V_{CE}^2+7V_{CE}-6=0$

$\rightarrow V_{CE}=V_S= 6\text{ Voltios}$

$\rightarrow V_{CE}=V_S= 1\text{ Voltios}$

La solución con $V_s=1$ contradice la suposición de que el MOSFET conduce. En este caso $V_{GS}=0.3 < V_T$ y el MOSFET no conduciría.

Además se confirma la suposición de que el transistor T2 conduce en activa directa, ya que $V_{CE}>0.2$ y $V_{BE(on)}=0.7$.

La solución correcta es $V_s=6$ Voltios.

b) (0,6 puntos) Calcular el punto de trabajo y la potencia disipada por los transistores.

b.1) Punto de trabajo de T1

$$V_{DS}=V_{CE}-0.7=5.3$$
$$I_{DS}=K(V_{GS}-V_T)^2=0.25(5.3-3.3)^2=1 \text{ mA}$$

Potencia disipada por T1

$$P=IV=5.3*1=5.3 \text{ mW}$$

b.2) Punto de trabajo de T2

$$V_{CE}=6$$
$$I_C=\beta I_{DS}=39*1=39 \text{ mA}$$

Potencia disipada por T1

$$P=IV=5.3*1=5.3 \text{ mW}$$

c) (0,4 puntos) ¿Podría obtenerse una tensión de salida (V_s) de 2 V variando el valor de la resistencia R_1 ? Justifique la respuesta.

No es posible para ningún valor de R_1 . Para que en V_s aparezcan 2V hace falta que T2 conduzca y que pase a través de él, una corriente I_C considerable, y esto supone que debe haber una corriente de base I_C/β . Para que exista corriente de base es necesario que conduzca el MOSFET y esto es imposible si tensión de salida es de 2 voltios, ya que en este caso $V_{GS}=1.3 < V_T$.

Otro camino sería:

Sustituyendo la ecuación 8 en 7:

$$(9) I_{DS}=K(V_{CE}-0.7-V_T)^2=K(V_{CC}-(1+\beta)I_{DS} * R_1-4)^2$$

$$I_{DS}=0.25(6-4I_{DS})^2=0.25(36+16I_{DS}^2-48I_{DS})=4I_{DS}^2-12I_{DS}+9$$

$$4I_{DS}^2-13I_{DS}+9=0$$

$$I_{DS}=1 \text{ mA}$$

$$I_{DS}=2.25 \text{ mA}$$